

INTERNATIONAL STANDARD

NORME INTERNATIONALE

**Mechanical standardization of semiconductor devices –
Part 1: General rules for the preparation of outline drawings of discrete devices**

**Normalisation mécanique des dispositifs à semiconducteurs –
Partie 1: Règles générales pour la préparation des dessins d'encombrement
des dispositifs discrets**

INTERNATIONAL
ELECTROTECHNICAL
COMMISSION

COMMISSION
ELECTROTECHNIQUE
INTERNATIONALE

ICS 31.080.01

ISBN 978-2-8322-4038-0

**Warning! Make sure that you obtained this publication from an authorized distributor.
Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.**

CONTENTS

FOREWORD.....	4
1 Scope.....	6
2 Normative references	6
3 Terms and definitions	7
4 General rules for all drawings	8
4.1 Drawing layout.....	8
4.2 Dimensions and tolerances	9
4.3 Methods for locating the datum	10
4.4 Numbering of terminals	11
4.4.1 General	11
4.4.2 Single-ended devices with terminals in a linear array.....	11
4.4.3 Single-ended devices with terminals in a circular array	11
4.4.4 Double-ended devices	11
4.4.5 Devices with terminals disposed in a square or rectangular periphery.....	11
4.4.6 Particular case of lozenge – shaped bases	11
4.4.7 Other devices	12
5 Additional rules.....	12
5.1 Rules for device and case outline drawings.....	12
5.2 Rules to specify the dimensions and positions of terminals	13
5.2.1 General rules.....	13
5.2.2 Rules to specify the dimensions and the positions of the terminals on a base drawing	13
5.3 Rules for gauge drawings	13
6 Inter-conversion of inch and millimetre dimensions and rules for rounding off.....	14
7 Rules for coding	14
Annex A (informative) Reference letter symbols.....	15
Annex B (informative) Rules to specify the dimensions and positions of terminals on a base drawing	18
B.1 Example of dimensioning for a circular base outline with no tab and having four terminals located symmetrically on a pitch circle	18
B.1.1 Interpretation of the principle of dimensioning.....	18
B.1.2 Checking	19
B.2 Example of dimensioning for a circular base outline with a tab and having four terminals located symmetrically on a pitch circle	19
B.2.1 Interpretation of the principle of dimensioning.....	19
B.2.2 Checking	20
Annex C (normative) General philosophy of flat base devices	24
Annex D (normative) Special rules for SMD-packages	26
D.1 General reference	26
D.2 Lead terminals	26
D.3 Measuring methods.....	26
Annex E (informative) Examples of semiconductor device drawings.....	27
Annex F (informative) Former rules for rounding off	33
F.1 Toleranced dimensions	33
F.1.1 Maximum and minimum values of toleranced dimensions	33
F.1.2 Nominal value of toleranced dimensions	33

F.2	Untoleranced dimensions (maximum only or minimum only).....	33
F.3	Untoleranced nominal dimensions given for general information	33
F.4	Untoleranced nominal dimensions given to specify true geometrical positions.....	34
Annex G (informative)	Former rules for coding	35
G.1	General.....	35
G.2	Device outlines	35
G.3	Bases	35
G.4	Case outlines.....	35
G.5	Type variants and provisional drawings.....	35
Bibliography	36
Figure 1	– Numbering of terminals for the particular case of lozenge – shaped bases.....	12
Figure 2	– System to indicate the dimensions of the terminals	13
Figure B.1	– Circular base outline with no tab.....	21
Figure B.2	– Tolerances of terminals.....	21
Figure B.3	– Gauge for a circular base outline with no tab	22
Figure B.4	– Circular base outline with tab.....	22
Figure B.5	– Gauge for a circular base outline with tab	23
Figure C.1	– Example of flat base outline.....	25
Figure E.1	– Long form package	27
Figure E.2	– Post/stud mount package.....	27
Figure E.3	– Cylindric package	28
Figure E.4	– Cylindric in-line package.....	29
Figure E.5	– Flange-mounted in-line package	29
Figure E.6	– Press package	30
Figure E.7	– SMD-package with flat leads.....	30
Figure E.8	– SMD-Package with gull-wing leads	31
Figure E.9	– SMD-package with no leads.....	32
Table A.1	– Dimensions of reference letter symbols.....	15

INTERNATIONAL ELECTROTECHNICAL COMMISSION

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

Part 1: General rules for the preparation of outline drawings of discrete devices

FOREWORD

- 1) The International Electrotechnical Commission (IEC) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, IEC publishes International Standards, Technical Specifications, Technical Reports, Publicly Available Specifications (PAS) and Guides (hereafter referred to as "IEC Publication(s)"). Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested IEC National Committees.
- 3) IEC Publications have the form of recommendations for international use and are accepted by IEC National Committees in that sense. While all reasonable efforts are made to ensure that the technical content of IEC Publications is accurate, IEC cannot be held responsible for the way in which they are used or for any misinterpretation by any end user.
- 4) In order to promote international uniformity, IEC National Committees undertake to apply IEC Publications transparently to the maximum extent possible in their national and regional publications. Any divergence between any IEC Publication and the corresponding national or regional publication shall be clearly indicated in the latter.
- 5) IEC itself does not provide any attestation of conformity. Independent certification bodies provide conformity assessment services and, in some areas, access to IEC marks of conformity. IEC is not responsible for any services carried out by independent certification bodies.
- 6) All users should ensure that they have the latest edition of this publication.
- 7) No liability shall attach to IEC or its directors, employees, servants or agents including individual experts and members of its technical committees and IEC National Committees for any personal injury, property damage or other damage of any nature whatsoever, whether direct or indirect, or for costs (including legal fees) and expenses arising out of the publication, use of, or reliance upon, this IEC Publication or any other IEC Publications.
- 8) Attention is drawn to the Normative references cited in this publication. Use of the referenced publications is indispensable for the correct application of this publication.
- 9) Attention is drawn to the possibility that some of the elements of this IEC Publication may be the subject of patent rights. IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 60191-1 has been prepared by subcommittee 47D: Semiconductor devices packaging, of IEC technical committee 47: Semiconductor devices.

This third edition cancels and replaces the second edition published in 2007. This edition constitutes a technical revision.

This edition includes the following significant technical changes with respect to the previous edition:

- a) the Scope has been extended to include surface-mounted semiconductor devices with a lead count less than 8;
- b) a definition of the term "stand-off" has been added;
- c) the methods for locating the datum have been extended to be suitable for SMD-packages;
- d) the visual identification of terminal position one for automatic handling has been clarified;
- e) the rules for the drawing of terminals have been clarified;

- f) Table A.1 has been completed with symbols specifically for SMD-packages;
- g) Annex B "Standardization philosophy" has been deleted;
- h) a normative Annex with special rules for SMD-packages has been added;
- i) the examples of semiconductor device drawings have been aligned to state-of-the-art packages including SMD-packages.

The text of this standard is based on the following documents:

CDV	Report on voting
47D/886/CDV	47D/896/RVC

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

A list of all parts in the IEC 60191 series, published under the general title *Mechanical standardization of semiconductor devices*, can be found on the IEC website.

The committee has decided that the contents of this publication will remain unchanged until the stability date indicated on the IEC website under "<http://webstore.iec.ch>" in the data related to the specific publication. At this date, the publication will be

- reconfirmed,
- withdrawn,
- replaced by a revised edition, or
- amended.

MECHANICAL STANDARDIZATION OF SEMICONDUCTOR DEVICES –

Part 1: General rules for the preparation of outline drawings of discrete devices

1 Scope

This part of IEC 60191 gives guidelines on the preparation of outline drawings of discrete devices, including discrete surface-mounted semiconductor devices with lead count less than 8.

For the preparation of outline drawings of surface-mounted discrete devices with a lead count higher or equal to 8, IEC 60191-6 should be referred to as well.

The primary object of these drawings is to indicate the space to be allowed for devices in equipment, together with other dimensional characteristics required to ensure mechanical interchangeability.

Complete interchangeability involves other considerations such as the electrical and thermal characteristics of the semiconductor devices concerned.

The international standardization represented by these drawings therefore encourages the manufacturers of devices to comply with the tolerances shown on the drawings in order to extend their range of customers internationally. It also gives equipment designers an assurance of mechanical interchangeability between the devices obtained from suppliers in different countries, provided they allow the space in their equipment that is indicated by the drawings and take note of the more precise information on bases, studs, etc.

NOTE Additional details of reference letter symbols used in this document are given in Annex A.

2 Normative references

The following documents are referred to in the text in such a way that some or all of their content constitutes requirements of this document. For dated references, only the edition cited applies. For undated references, the latest edition of the referenced document (including any amendments) applies.

IEC 60191-2, *Mechanical standardization of semiconductor devices – Part 2: Dimensions*

IEC 60191-4, *Mechanical standardization of semiconductor devices – Part 4: Coding system and classification into forms of package outlines for semiconductor device packages*

IEC 60191-6-1, *Mechanical standardization of semiconductor devices – Part 6-1: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Design guide for gull-wing lead terminals*

IEC 60191-6-3, *Mechanical standardization of semiconductor devices – Part 6-3: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Measuring methods for package dimensions of quad flat packs (QFP)*

IEC 60191-6-20, *Mechanical standardization of semiconductor devices – Part 6-20: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Measuring methods for package dimensions of small outline J-lead packages (SOJ)*

IEC 60191-6-21, *Mechanical standardization of semiconductor devices – Part 6-21: General rules for the preparation of outline drawings of surface mounted semiconductor device packages – Measuring methods for package dimensions of small outline packages (SOP)*

SOMMAIRE

AVANT-PROPOS	40
1 Domaine d'application	42
2 Références normatives	42
3 Termes et définitions	43
4 Règles générales pour tous les dessins	45
4.1 Agencement des dessins	45
4.2 Dimensions et tolérances	45
4.3 Méthodes de positionnement de la référence spécifiée	47
4.4 Numérotation des broches	47
4.4.1 Généralités	47
4.4.2 Dispositifs à extrémité unique comprenant des broches agencées selon un réseau linéaire	48
4.4.3 Dispositifs à extrémité unique comprenant des broches agencées selon un réseau circulaire	48
4.4.4 Dispositifs à double extrémité	48
4.4.5 Dispositifs comprenant des broches disposées selon une périphérie carrée ou rectangulaire	48
4.4.6 Cas particulier du losange – bases profilées	48
4.4.7 Autres dispositifs	49
5 Règles supplémentaires	49
5.1 Règles pour les dessins d'encombrement du dispositif et du boîtier	49
5.2 Règles relatives à la spécification des dimensions et positions des broches	50
5.2.1 Règles générales	50
5.2.2 Règles de spécification des dimensions et des positions des broches sur un dessin de base	50
5.3 Règles pour les dessins de calibre	51
6 Interconversion de dimensions en pouces et en millimètres et règles pour arrondir	51
7 Règles pour la codification	51
Annexe A (informative) Symboles littéraux de référence	52
Annexe B (informative) Règles relatives aux spécifications des dimensions et positions des broches sur un dessin de base	56
B.1 Exemple de dimensionnement pour une structure de base circulaire sans languette et présentant quatre broches situées de manière symétrique sur un cercle primitif	56
B.1.1 Interprétation du principe de dimensionnement	56
B.1.2 Contrôle	57
B.2 Exemple de dimensionnement pour une structure de base circulaire avec une languette et comprenant quatre broches situées de manière symétrique sur un cercle primitif	58
B.2.1 Interprétation du principe de dimensionnement	58
B.2.2 Contrôle	59
Annexe C (normative) Concept général des dispositifs à base plate	63
Annexe D (normative) Règles spécifiques aux boîtiers CMS	65
D.1 Référence générale	65
D.2 Broches consistant en des connexions	65
D.3 Méthodes de mesure	65
Annexe E (informative) Exemples de dessins de dispositifs à semiconducteurs	66

Annexe F (informative) Anciennes règles pour arrondir	73
F.1 Dimensions tolérancées	73
F.1.1 Valeurs maximales et minimales des dimensions tolérancées	73
F.1.2 Valeur nominale des dimensions tolérancées	73
F.2 Dimensions non tolérancées (maximales uniquement ou minimales uniquement).....	73
F.3 Dimensions nominales non tolérancées indiquées à titre d'information générale	73
F.4 Dimensions nominales non tolérancées indiquées pour spécifier des positions géométriques réelles.....	74
Annexe G (informative) Anciennes règles pour la codification	75
G.1 Généralités	75
G.2 Structures de dispositif	75
G.3 Bases	75
G.4 Structures de boîtier	75
G.5 Variantes de type et dessins provisoires	75
Bibliographie.....	76
Figure 1 – Numérotation des broches dans le cas particulier du losange – bases profilées.....	49
Figure 2 – Système d'indication des dimensions des broches	50
Figure B.1 – Structure de base circulaire sans languette.....	59
Figure B.2 – Tolérances des broches.....	60
Figure B.3 – Calibre pour une structure de base circulaire sans languette	61
Figure B.4 – Structure de base circulaire avec languette.....	61
Figure B.5 – Calibre pour une structure de base circulaire avec languette	62
Figure C.1 – Exemple de structure à base plate.....	64
Figure E.1 – Boîtier horizontal à forme allongée.....	66
Figure E.2 – Boîtier à sorties droites	66
Figure E.3 – Boîtier cylindrique	67
Figure E.4 – Boîtier cylindrique à connexions en ligne	68
Figure E.5 – Boîtier à connexions en ligne et à fixation par brides	69
Figure E.6 – Boîtier pressé	69
Figure E.7 – Boîtier CMS à connexions plates	70
Figure E.8 – Boîtier CMS à connexions en forme d'aile de mouette	71
Figure E.9 – Boîtier CMS sans connexions	72
Tableau A.1 – Dimensions des symboles littéraux de référence	53

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS –

Partie 1: Règles générales pour la préparation des dessins d'encombrement des dispositifs discrets

AVANT-PROPOS

- 1) La Commission Electrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'attention est attirée sur le fait que certains des éléments de la présente publication de l'IEC peuvent faire l'objet de droits de brevet. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevets.

La Norme internationale IEC 60191-1 a été établie par le sous-comité 47D: Boîtiers des dispositifs semiconducteurs, du comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.

Cette troisième édition annule et remplace la deuxième édition parue en 2007. Cette édition constitue une révision technique.

Cette édition inclut les modifications techniques majeures suivantes par rapport à l'édition précédente:

- a) le domaine d'application a été étendu pour couvrir les dispositifs à semiconducteurs pour montage en surface dont le nombre de connexions est inférieur à 8;
- b) une définition du terme "élévation" a été ajoutée;

- c) les méthodes de positionnement de la référence spécifiée ont été étendues pour englober les boîtiers des composants pour montage en surface (CMS);
- d) l'identification visuelle de la position de broche n° 1, dans le cadre des procédures de manipulation automatique, a été clarifiée;
- e) les règles de représentation des broches ont été clarifiées;
- f) le Tableau A.1 a été complété avec des symboles spécifiquement destinés aux boîtiers CMS;
- g) l'Annexe B "Concept de normalisation" a été supprimée;
- h) une annexe normative avec des règles spécifiques aux boîtiers CMS a été ajoutée;
- i) les exemples de dessins de dispositifs à semiconducteurs ont été alignés sur l'état de l'art des boîtiers, en englobant les boîtiers CMS.

La présente version bilingue (2022-03) correspond à la version anglaise monolingue publiée en 2018-01.

La version française de cette norme n'a pas été soumise au vote.

Cette publication a été rédigée selon les Directives ISO/IEC, Partie 2.

Une liste de toutes les parties de la série IEC 60191, publiées sous le titre général *Normalisation mécanique des dispositifs à semiconducteurs*, se trouve sur le site web de l'IEC.

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous "<http://webstore.iec.ch>" dans les données relatives à la publication recherchée. A cette date, la publication sera

- reconduite,
- supprimée,
- remplacée par une édition révisée, ou
- amendée.

NORMALISATION MÉCANIQUE DES DISPOSITIFS À SEMICONDUCTEURS –

Partie 1: Règles générales pour la préparation des dessins d'encombrement des dispositifs discrets

1 Domaine d'application

La présente partie de l'IEC 60191 donne des lignes directrices pour la préparation des dessins d'encombrement des dispositifs discrets, comprenant les dispositifs discrets à semiconducteurs pour montage en surface dont le nombre de connexions est inférieur à 8.

Il convient également de se référer à l'IEC 60191-6 pour la préparation des dessins d'encombrement des dispositifs discrets pour montage en surface dont le nombre de connexions est supérieur ou égal à 8.

L'objectif principal de ces dessins consiste à indiquer l'espace à octroyer aux dispositifs dans un équipement, ainsi que d'autres caractéristiques dimensionnelles exigées pour assurer une interchangeabilité mécanique.

Une interchangeabilité complète implique de prendre en considération d'autres paramètres, tels que les caractéristiques électriques et thermiques des dispositifs à semiconducteurs concernés.

La normalisation internationale représentée par ces dessins encourage par conséquent les fabricants des dispositifs à se conformer aux tolérances indiquées sur les dessins, afin d'étendre leur panel de clients au niveau international. Elle donne également aux concepteurs de l'équipement l'assurance d'une interchangeabilité mécanique entre les dispositifs obtenus auprès des fournisseurs de différents pays, à condition qu'ils octroient à leur équipement l'espace indiqué dans les dessins, et qu'ils prennent note des informations les plus précises concernant les bases, ergots, etc.

NOTE Des détails supplémentaires concernant les symboles littéraux de référence utilisés dans le présent document sont donnés à l'Annexe A.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 60191-2, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 2: Dimensions*

IEC 60191-4, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 4: Système de codification et classification en formes des structures des boîtiers pour dispositifs à semiconducteurs*

IEC 60191-6-1, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 6-1: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs pour montage en surface – Guide de conception pour les boîtiers à broches en forme d'ailes de mouette (disponible en anglais seulement)*

IEC 60191-6-3, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 6-3: Règles générales pour la préparation des dessins d'encombrement des dispositifs à semiconducteurs à montage en surface – Méthodes de mesure pour les boîtiers plats quadrangulaires (QFP)*

IEC 60191-6-20, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 6-20: Règles générales pour la préparation des dessins d'encombrement des boîtiers pour dispositifs à semiconducteurs pour montage en surface – Méthodes de mesure pour les dimensions des boîtiers à sortie en J (SOJ) de faible encombrement*

IEC 60191-6-21, *Normalisation mécanique des dispositifs à semiconducteurs – Partie 6-21: Règles générales pour la préparation des dessins d'encombrement des boîtiers pour dispositifs à semiconducteurs pour montage en surface – Méthodes de mesure pour les dimensions des boîtiers de faible encombrement (SOP)*